

DOI: 10.12158/j.2096-3203.2025.04.006

基于中压混合器件的 ANPC 母排绝缘与寄生参数优化设计

赵一平, 董晓博, 靳浩源, 王淦, 王来利, 张虹

(西安交通大学(电工材料电气绝缘全国重点实验室), 陕西 西安 710049)

摘要:母排作为电力电子变换器中的关键功率传输部件,承担着连接功率器件、电容及端子的重要功能。为降低寄生参数与器件应力,换流回路须通过母排连接。文中以 15 kV 碳化硅金属氧化物半导体场效应晶体管(SiC metal oxide semiconductor field effect transistor, SiC MOSFET)与串联硅基绝缘栅双极晶体管(Si insulate-gate bipolar transistor, Si IGBT)组成的有源中点钳位型(active neutral-point clamped, ANPC)变换器拓扑为核心研究对象,针对母排的器件布局、叠层顺序及端子位置等关键要素展开优化设计。基于有限元仿真软件,建立母排的有限元仿真模型,通过参数化分析优化铜层间距与叠层结构,提出适用于高压印制电路板(printed circuit board, PCB)母排的绝缘优化策略。仿真及实验结果表明,优化母排设计可有效改善系统寄生参数分布,文中验证了其在高压应用场景下的电场分布。与传统设计方案相比,优化后的母排结构在关键节点绝缘性能与整体可靠性方面具有显著优势。

关键词:中压变换器;叠层母排;有限元仿真;寄生参数;绝缘;碳化硅金属氧化物半导体场效应晶体管(SiC MOSFET)

中图分类号:TM46

文献标志码:A

文章编号:2096-3203(2025)04-0052-10

0 引言

母排作为电力电子变换器的关键载体,承担着能量传输、器件互联与系统集成的核心功能^[1]。其设计须兼顾换流回路(current commutation loop, CCL)寄生参数抑制、器件应力均衡及绝缘可靠性,直接影响系统效率与稳定性。尤其在高频大功率场景中,母排须集成导体、绝缘介质与连接端子,既要承载功率器件、电容等组件的电气互联,又要通过低感抗布局降低开关损耗与电磁干扰。

目前已有大量文献针对母排寄生参数进行布局优化^[2-9]。其中,文献[2]总结既有两电平变换器母排寄生参数优化经验,针对典型结构的换流回路进行有限元仿真分析,并提出三层叠层母排的寄生电感最小化设计方案。文献[4]针对有源中点钳位型(active neutral-point clamped, ANPC)变换器模块选择、水平布局、电容布局进行分析,设计应用半桥功率模块的两层叠层母排。文献[6-7]对 T 型三电平变换器母排进行寄生电感优化设计。文献[6]采用 2 个并联的半桥模块,着重强调平衡并联支路寄生参数,提出双边解耦端子的布局策略。文献[7]通过调节叠层顺序,减小端子的长度,进一步减小换流回路寄生参数。文献[8]在文献[4]的基础上进行布局改进,通过旋转电容、增加重叠面积,

提出三层母排结构。文献[9]通过优化并联硅基绝缘栅双极晶体管(Si insulated gate bipolar transistor, Si IGBT)的水平布局和叠层方案,提出不同的三层、四层母排结构,但未提及电容的设计。

现有文献大多关注低压场合半桥功率模块的布局,半桥模块将 2 个开关集成在一起,减少母排所需的电平数。高压下因为器件耐压的限制,一个管子便是一个模块,一个拓扑上的开关管甚至需要 2 个或多个器件的串联,这无疑增加了中间电平,提高了布局难度。而高压模块通流能力的限制也需要器件的并联使用,这也需要平衡两管的寄生参数。

随着母排应用场景不断丰富,高压、高海拔下对母排的绝缘要求逐渐提高^[9-17]。文献[10]解释叠层母排的局部放电(下文简称局放)现象,提出三重点附近易发生局放。文献[9]综合考虑航空航天应用的母排设计策略,设计无局放的 1.5 kV 1 MW 叠层母排。文献[11]分析中压变换器母排的绝缘薄弱点,提出绝缘材料及粘结材料的选取方法。文献[13]设计并制作用于 6 kV 母线的叠层母排,但其在实际的局放测试中表现不佳。文献[14]利用有限元仿真软件设计中压变换器应用的印制电路板(printed circuit board, PCB)母排,并通过局放测试验证设计准确性。文献[16]提出中压功率模组的绝缘设计和安装策略,进行母排、驱动、散热器等处的绝缘设计,提出使用 PCB 母排可以有效消除内部缺陷,在中压应用领域有广阔前景。

传统叠层母排通流能力较强、承载功率较大,

收稿日期:2025-02-28;修回日期:2025-05-27

基金项目:国家重点研发计划资助项目“配电网高功率密度柔性互联技术和装备”(2023YFB2407400)

且制作简单、工艺成熟。PCB 母排通常具有更高的功率密度,便于集成其他组件,但通流能力较弱。在高压下,叠层母排需要非常厚的绝缘层以实现无局放的要求。相比于传统叠层母排,PCB 母排制作过程中的热压环节可以有效消除缺陷,进而减少内部空洞,有效避免内部局放,同时其更为精确的制作工艺也可以使用磁屏蔽等电场管理手段。文献[18]提到,为了实现无局放设计,往往每千伏就需要 1 mm 的刚性绝缘层。在 10 kV 等级的配电网中,更高的电场强度对母排的绝缘能力有更高的要求。盲目增加绝缘层厚度不仅会导致寄生电感过大、开关性能下降,在高频应用下还会导致严重的开关损耗和电磁干扰(electromagnetic interference, EMI),而通流、耐压的要求又需要高压碳化硅金属氧化物半导体场效应晶体管(Silicon carbide metal oxide semiconductor field effect transistor, SiC MOSFET)功率模块及高压 Si IGBT 功率模块串并联使用,对如何平衡绝缘、减小换流回路寄生参数、平衡并联支路参数、优化热效应提出了新的挑战。

针对上述问题,文中提出一种高压混合母排协同优化框架。首先,分析 ANPC 变换器的应用背景,介绍 ANPC 的主要换流回路及母排寄生参数的构成;然后,针对母排中的器件布局、叠层顺序、端子位置等进行优化;最后,对母排绝缘性能进行优化,提出可供参考的总体优化策略。

1 应用背景与母排概览

1.1 ANPC 换流回路分析

ANPC 变换器因具有更小的电压应力、更灵活的控制策略、更小的谐波和 EMI,得到了广泛应用。中点钳位型变换器的换流回路主要有 4 种,ANPC 将续流管替换为有源开关,根据器件的选择及调制策略的不同,可进一步分为 2SiC-ANPC 以及 4SiC-ANPC,各有 2 条不同的换流回路^[19]。4SiC-ANPC 的器件配置如图 1(a)、(b)所示,其中, T_1 、 T_4 、 T_5 、 T_6 为 SiC MOSFET, T_2 、 T_3 为 Si IGBT。2SiC-ANPC 的器件配置与 4SiC-ANPC 相反,如图 1(c)、(d)所示。

根据动作开关管的不同,ANPC 共有 6 种开关状态。当开关状态由“+”转为状态“0H2”时,ANPC 输出电流 i_A 仍为正值,此时 T_1 关断而 T_5 开通。流经 T_1 的电流 i_{A1} 逐渐减小至 0,此时流经 T_5 反并联二极管的电流 i_{A2} 以相同速率逐渐上升直至接近 i_A 。因此在开关 T_1 、 T_2 及上半母线电容之间产生电流换流,不同配置 ANPC 的换流过程如

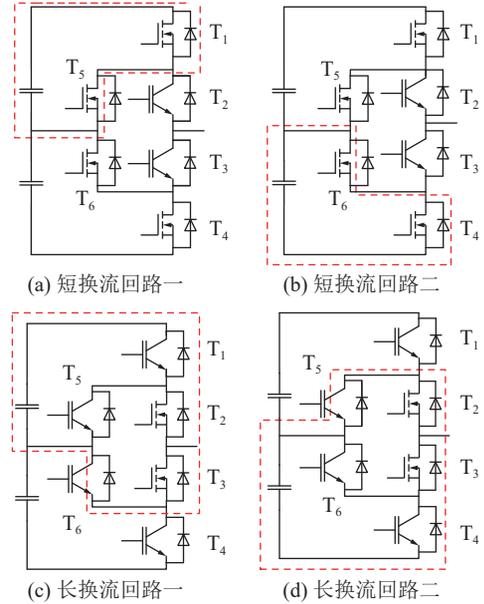


图 1 ANPC 换流回路

Fig.1 Circuit commutation loops of ANPC

图 2 所示。其中, P、X、O、N、Y、AC 均为母排。在此之间所有器件均会产生寄生参数,影响开关管性能。根据基尔霍夫电压定律(Kirchhoff voltage law, KVL),换流回路的电压关系可以表示为式(1)。

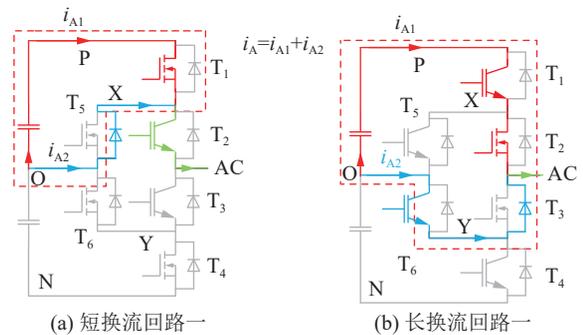


图 2 换流回路 1 换流过程

Fig.2 Converter process of CCL1

$$V_{DS,T1} = \frac{V_{DC}}{2} + (L_C + L_P + L_{T1}) \left| \frac{di_{T1}}{dt} \right| + (L_X + L_O + L_{T5}) \left| \frac{di_{T5}}{dt} \right| \quad (1)$$

式中: $V_{DS,T1}$ 为 T_1 管两端电压; V_{DC} 为直流母线电压; L_{T1} 、 L_{T5} 分别为器件 T_1 、 T_5 的寄生电感; i_{T1} 、 i_{T5} 分别为流经 T_1 、 T_5 的电流; L_C 为直流母线电容的等效串联电感; L_P 、 L_X 、 L_O 分别为 P、X、O 母排的寄生电感,忽略电感之间的互感以简化分析流程。

在导通暂态中,电流 i_A 可以视为常量,因此有:

$$i_{T1} = i_{T5} \approx g_{fs1}(v_{gs1} - V_{th1}) \quad (2)$$

式中: g_{fs1} 为跨导系数; v_{gs1} 为 MOSFET 栅-源电压; V_{th1} 为 MOSFET 阈值电压。

因此,式(1)可以简化为式(3),可以看到,在换

流过程中,寄生电感将会在开关管 T_1 两端感应出电压过冲,短换流回路总寄生电感可以由式(4)表示。

$$V_{DS,T1} = \frac{V_{DC}}{2} + (L_C + L_P + L_{T1} + L_X + L_O + L_{TS}) \left| \frac{di_{T1}}{dt} \right| \quad (3)$$

$$L_{loop} = L_C + L_P + L_{T1} + L_X + L_O + L_{TS} \quad (4)$$

类似于短换流回路分析方法,可以得到 ANPC 长换流回路的寄生电感表达式。长换流回路经过母排数量较多,因此在器件两端感应出的电压过冲也更大,而电容的等效串联电感和器件的寄生电感在出厂时便已确定,无法对其本身电感再作优化,因此母排的寄生电感优化至关重要。

SiC MOSFET 拥有更小的通态电阻,更快的开关速度,更大的输出电容,因此开关暂态中的电压和电流过冲更大。2SiC-ANPC 中的长换流回路相较于传统两电平变换器更为复杂,且经过不同的开关管及多种电平母排,相比短换流回路,其不仅拥有更多的寄生参数,各种寄生参数的互动也会导致电磁暂态更加复杂。

1.2 母排寄生参数分析

文献[5]给出两层母排的叠层电感计算公式。母排中自感及互感的计算如式(5)所示,可以根据式(5)简单估计母排的寄生电感,但是实际母排存在挖孔、开槽等情况,并不是完整的矩形铜排,因此常采用有限元仿真获得较为准确的寄生参数值。

$$\begin{cases} L_{self} = \frac{\mu}{2\pi} l \left(\ln \left(\frac{2l}{w+t} \right) + \frac{1}{2} - \ln \left(\frac{w+t}{l} \right) \right) \\ L_{mutual} = \frac{\mu}{2\pi} l \left[\ln \left(\frac{1}{t} + \sqrt{1 + \left(\frac{l}{t} \right)^2} \right) - \sqrt{1 + \left(\frac{l}{t} \right)^2} + \frac{l}{t} \right] \\ L_{total} = \sum L_{self} - \sum L_{mutual} \end{cases} \quad (5)$$

式中: μ 为磁导率; l 为母排长度; w 为母排宽度; t 为母排厚度及其之间的间距; L_{self} 、 L_{mutual} 、 L_{total} 分别为母排自感、互感和总寄生电感。

在大功率电力电子变换器应用中,叠层母排往往不只有两层。在高频激励下,多层导体层之间会产生涡流,涡流电磁场与激励电磁场的相互作用会在宏观上表现为中间导体层磁通量的减小。即涡流电磁场降低了中间导体层磁通量的承载能力,进而降低了换流回路在高频激励下的寄生电感,改变了换流回路寄生参数的分布。

忽略实际母排中的打孔、挖槽等情况,以矩形铜排为例,随着母排长度 l 的增大,母排直流电感不断增大;随着母排宽度 w 的增大,母排直流电感减

小。叠层母排的长度、宽度和电感的变化规律与单层母排相似,但基于法拉第电磁感应定律的磁场相消原理,双层母排的总寄生电感随间距的减小而明显减小。由此可知,降低母排寄生电感的最重要、也是最基本的原则,就是增大换流回路的重叠面积,从而增加磁场的反向耦合程度^[20-21]。

在电力电子变换器中,母排承受的是高频变化的脉冲宽度调制(pulse width modulation, PWM)方波,其寄生电容不应忽略。母排与功率模块的漏极和源极通过端子直接相连,其寄生电容相当于在功率器件两端增加输出电容,对功率半导体器件的开关性能有显著影响。部分寄生电容增大对母排阻抗降低起正向作用,而部分电容增大可能导致开关管输出电容增大,交变电平母排与直流母排之间的电容充放电所造成的 EMI 还可能对变换器的正常运行产生干扰,因此必须审慎处理母排的寄生电容。

母排电阻与母排的功率损耗直接相关。一般来说,电阻由导体的材料和形状决定,在高频应用下,趋肤效应和邻近效应都会增加损耗并减少有效利用导体的区域,从而给设计带来挑战。工程上,一般母排的电流密度在 5 A/mm^2 以下,并留有 $30 \text{ }^\circ\text{C}$ 的自发热裕量^[22]。

文中母排应用于大功率 10 kV 背靠背 ANPC 柔性互联装备,整个装备分为整流和逆变两部分,每一部分都是一个三相全桥 ANPC。根据拓扑的电压利用率,直流母线的电压至少为 15 kV ,每个开关位置的耐压为 7.5 kV ,系统的额定功率为 2 MW 。为便于运输与安装,将每个桥臂作为一个变换器子单元进行设计。母排则用于连接电容、功率器件及交直流端子,提供电气连接及机械支撑。文中主要分析母排的寄生参数及绝缘性能,为降低制作成本,母排按 1 oz ($1 \text{ oz}=28.35 \text{ g}$) 铜厚制作。

2 母排寄生参数优化

2.1 母排布局原则

首先,明确母排布局原则,即主要换流回路寄生参数对称,并联器件的寄生参数对称以及最小化换流回路寄生参数。其次,注重电容分布,尽可能实现换流回路寄生电容的增大以及母排在开关管两侧寄生电容的减小,同时考虑电流密度以适应变换器对母排发热的要求。

为在相对多的管子中找到最优布局,针对中压变换器的高压应用、多种器件混合使用的新需求,综合器件的对称需求、换流回路的低感特性及变换器的绝缘要求,提出新的布局策略,如图 3 所示。

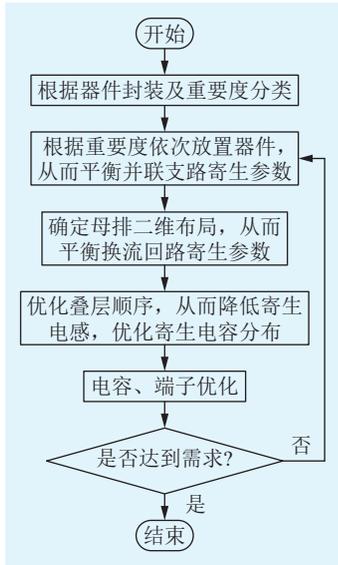


图3 母排寄生参数优化流程

Fig.3 Flow chart of busbar parasitic parameter optimization

2.2 母排二维布局优化

在 PLECS 中搭建 ANPC 三相电路模型, 工作在逆变工况下, 采用注入三次谐波的正弦脉宽调制 (sinusoidal pulse width modulation, SPWM) 控制策略。直流侧电压为 15 kV, 交流侧电压有效值为 10 kV。

对两快管和四快管的配置分别进行仿真。综合考虑成本、EMI、损耗分布等问题, 四快管方案在电压应力和损耗分布上的优势并不明显, 但成本显著增加。15 kV SiC MOSFET 成本极高且尚不成熟, 两快管方案在整体装置可靠性上也高于四快管方案, 因此文中母排采用两快管方案进行设计。根据各器件位置的功率要求、电压要求、工作模式以及现有功率器件的电压水平, SiC MOSFET 器件选用 15 kV SiC MOSFET, 在 25 °C 时其额定电流为 100 A。Si IGBT 模块目前电压最高达 6.5 kV, 在使用时需要将 2 个 IGBT 串联, 并设置适当的均压电路。续流管则采用 3 个分立器件串联以提高功率密度。图 4 为采用多种功率器件的 ANPC 变换器拓扑。其中, 1A、1B 和 4A、4B 采用 6.5 kV Si 模块; 2A、2B、3A、3B 采用 15 kV SiC 模块; 5A、5B、5C 和 6A、6B、6C 采用 4.5 kV Si IGBT 分立器件。

文中采用两快管方案, 因此快管应用 SiC MOSFET 的 2A、2B、3A 和 3B。2 个换流回路均流经这 4 个开关管, 为平衡换流回路寄生参数及降低整体寄生电感, 须对这 4 个开关管优先单独设计。根据所选择的 SiC MOSFET 封装结构, 这 4 个开关管可以纵向或横向串并联组合排列, 如图 5 所示。

分立器件体积较小, 且在换流回路中重要性较

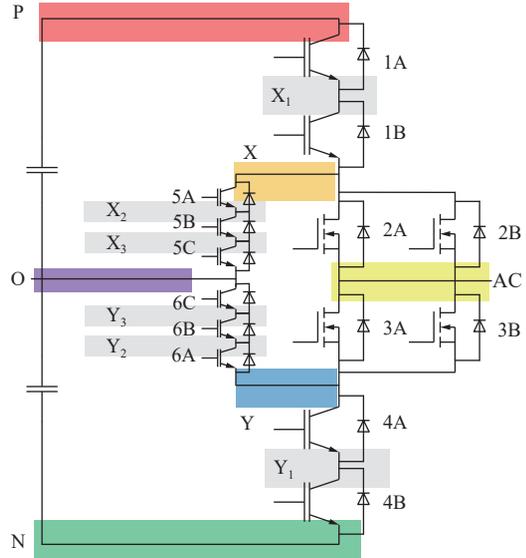


图4 ANPC 变换器拓扑

Fig.4 Topology of ANPC converter



图5 器件组合形式

Fig.5 Device combination form

低, 因此可以最后放置。根据上述分析, 初步布局可以分为 4 种布局方案, 以提出的 3 个设计原则依次进行筛选, 最终筛选出 2 种方案, 如图 6 所示。其中, 方案一为 MOSFET 纵向并联及 IGBT 纵向串联, 方案二为 MOSFET 横向并联及 IGBT 横向串联; 5 和 6 分别为 IGBT 分立器件的串联组 5A、5B、5C 和 6A、6B、6C; 红色表示电流由直流侧流向交流侧; 蓝色表示电流由交流侧流向直流侧; 实线表示 P/N 母排与 AC 母排间的换流路径; 虚线表示 O 母排与 AC 母排间的换流路径。可以看到 2 种方案均有对称的换流回路, 满足设计原则。

直观上看, 方案一换流路径长度较长, 但宽度较大; 方案二将开关管 1、6 置于同一侧, 降低了换流路径的长度, 但并联器件不对称度提升。为进一步确定 2 种布局的优劣, 将图 6 所示布局抽象成典型结构, 并在宽度 300 mm、长度 466 mm、1oz 铜厚

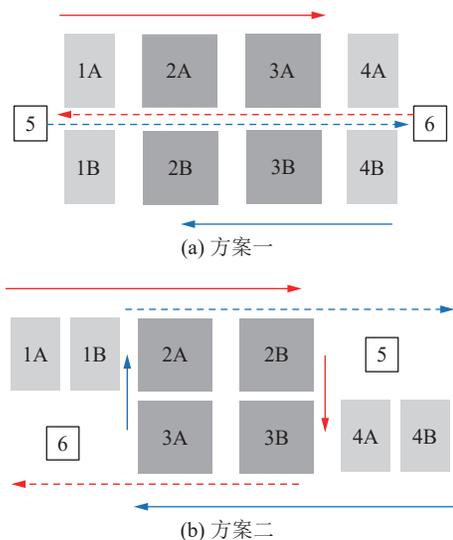


图6 2种初步布局对比

Fig.6 Comparison of two preliminary layouts

的两层铜排上进行仿真。通过 Q3D FEA 仿真,与方案一相比,方案二将换流回路寄生电感降低了约 38%。此外,分立器件的尺寸较小,因此可以将其放置在模块之间,以进一步降低寄生电感。最终,如图 6(a)所示,2D 布局被确认为 MOSFET 模块纵向并联和 IGBT 模块纵向串联连接方案。

分立器件的封装体积较小,布局更为灵活,因此将串联的分立器件组 5、6 置于模块之间,以进一步降低寄生参数。为和绝缘相配合,将 2A、2B、3A、3B 旋转 90°,最终母排水平布局如图 7 所示。

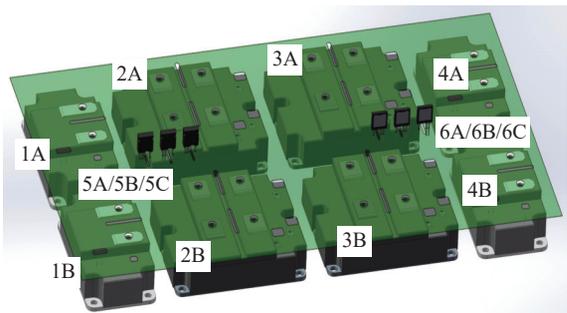


图7 优化后母排水平布局

Fig.7 The horizontal layout of the busbar after optimization

2.3 母排三维布局优化

完成母排二维布局后,须进行母排三维布局设计,即端子、电容的设计。

换流回路一、换流回路二都同时流经交流 AC 母排及中性 O 母排,选用 O 母排作为换流回路的“返回路径”,以降低其自感并充分和其他母排产生磁耦合以增大互感。

母排设计中,每个母排的面积通常占据该层的 30% 以上。为尽可能增大母排之间的重叠面积、增大互感相消,同时减小引入不必要的寄生电容,提

出图 8 所示初步布局,层数由两层到四层不等。

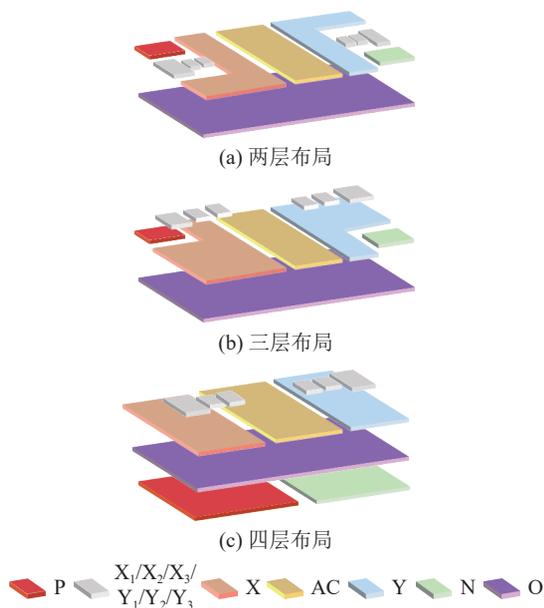


图8 不同叠层方案

Fig.8 Different stacking schemes

四层母排结构将 P 母排、N 母排集成于一层并放置到中性 O 母排下方,不仅降低了两直流母排的电流密度,还增大了直流母排与 O 母排之间的重叠面积,进一步增大了母排的寄生电容,相当于在换流回路两端增加了解耦电容。同时,将电位随开关管动作而变化的 X、AC、Y 母排置于同一层,减小其互相之间的寄生电容,进一步减小开关管之间的寄生电容,提高其高频性能。虽然中间层母排远离了返回路径,但因为中间层面积较小,本身磁耦合较弱,所以引起的寄生电感增大是可以接受的;并且因为中间层单独位于一层,在这一层内不受其他母排的影响,故其宽度可以更宽,从而减低自身的自感。为在各寄生参数及电流密度、制作需求中达到平衡,最终采用图 8(c)所示四层布局结构。

确定母排叠层顺序后,换流回路在器件之间的路径便已经确定。剩余换流路径由母排电容的位置及配置决定。磁场相消原则同样可以应用于多个电容串并联时的电容母排设计。

母排的端子是连接母排内外、进行功率交换的途径。在设置端子的时候,要注意直流路径与交流路径分开,尽可能减小母排发热。为增强 PCB 内外层之间的载流能力,采用盘中孔策略。通过盘中孔大大增加焊盘的通流截面,同时过孔相当于与焊盘并联,过孔的寄生电感较小,大幅降低了端子引入的寄生电感。最终经绝缘优化后的母排爆炸图如图 9 所示。其中, I_{DC} 为 ANPC 直流侧电流; I_{AC} 为 ANPC 交流侧电流;母排 Cap_N 和母排 Cap_P 分别用

于连接 N-O 和 P-O 之间的电容。

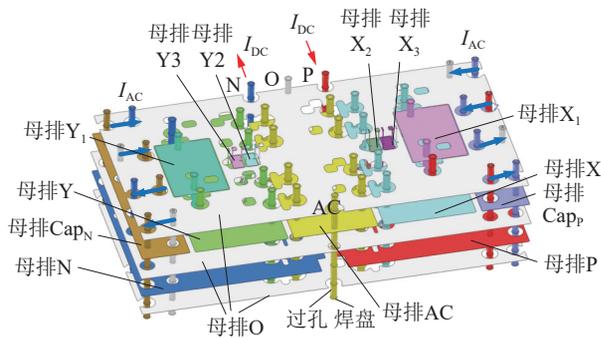


图9 经绝缘、寄生参数优化后母排爆炸图

Fig.9 Exploding diagram of busbar after optimization of insulation and parasitic parameters

PCB 母排不同于叠层母排,在最外层没有类似于叠层母排的厚绝缘层^[23],因此需要在与模块、空气接触的位置额外增加绝缘层。在直流母排下增加一层 O 母排,在中间层母排同样增加 O 母排以屏蔽 PCB 内部的电场;为满足在空气中没有局放的绝缘设计要求,在 PCB 母排两侧额外增加一层半固化片,同时最上层铜层可以集成 IGBT 分立器件的驱动接口。综合考虑绝缘需求后,母排最终拥有七层结构。

图9中,红色电流路径为直流电流路径,蓝色电流路径为电容母排的高频交流路径,可见母排实现了交直流路径分开。第四层 O 母排作为整个母排的返回路径,实现了母排的换流回路对称设计目标,并尽可能做到寄生电感最小化设计,同时优化了寄生电容的分布。

为验证设计的正确性,采用 Q3D 对母线换流回路进行仿真。仿真频率设定为 2 MHz,以模拟器件实际运行时的状态。换流回路一的杂散电感为 58.93 nH,换流回路二的寄生电感为 59.39 nH。可以观察到,电感的不对称性仅为 0.78%,实现了换流回路的对称设计。

基于 HIOKI IM 3 536 型 LCR 测量仪进行 CCL 杂散电感测量实验,模块被替换为具有相同寄生参数的连接线,如图10所示。

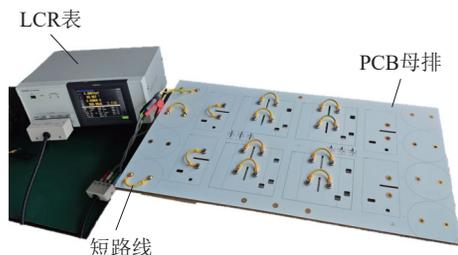


图10 母排的寄生电感测试

Fig.10 Parasitic inductance test of busbars

消除连接线的寄生电感后,在 2 MHz 下测量换

流回路一的寄生电感,约为 61.74 nH,与仿真结果相差不大,验证了设计合理性。

3 PCB 母排绝缘性能优化

3.1 PCB 母排绝缘分析

在中压应用场合中,母排的寄生电感影响相对较小,此时更应关注母排的绝缘问题^[24-25]。

为了实现无局放母排的设计目标,文中选择 PCB 叠层母排。3P-ANPC 的直流侧电压为 +7.5 kV/-7.5 kV,考虑到中点电位偏移,母排采用+8 kV/-8 kV 设计,以留有裕量。

图11显示了母排在上桥臂导通时的不同电压水平。当上桥臂导通时,X 母排、P 母排和 AC 母排均为 7.5 kV 的电压,与 N 母排相差 15 kV。其余的中间电平根据电压划分承担相应的电压。因此,有必要对各母排之间的绝缘进行设计。虽然 PCB 可以有效减少内部缺陷,提高绝缘能力,但使用 1.6 mm 厚 FR4 绝缘材料的 PCB 母排在 8 kV 中显示出显著的局放。因此,有必要针对母排的内部结构进行优化,从而降低母排的内部电场强度,实现无局放设计。

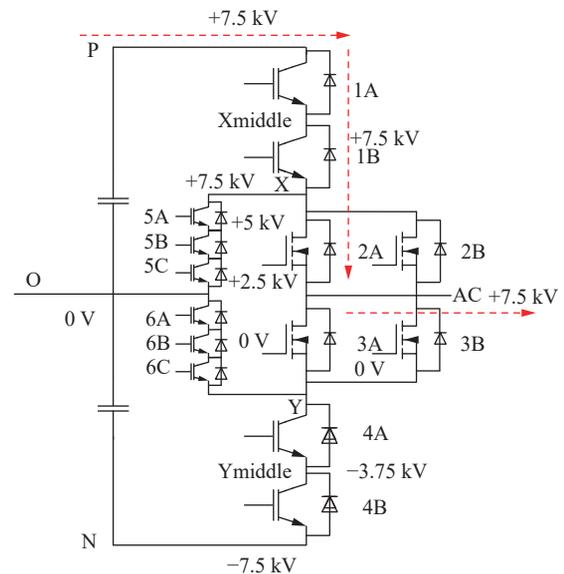


图11 上桥臂导通时各母排电压

Fig.11 Busbar of different voltage levels during upper bridge conduction

图12为母排中部分通孔的横截面示意。其中,图12(a)为连接于第三层的 X、AC、Y 母排通孔横截面示意,图12(b)为连接于第五层的 P、N 母排通孔横截面示意。通孔截面左侧为空气,右侧为 PCB。通孔左侧为同一电位,因此一般不会有绝缘问题,通孔右侧根据打孔位置及所属电位不同,承受电压应力也有区别,有必要对其进行绝缘优化分析。

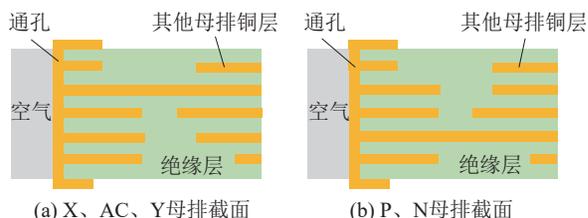


图 12 不同母排通孔截面示意

Fig.12 Cross-sectional schematic diagrams of different busbar via configurations

图 13 为 P 母排通孔附近的 Maxwell 仿真结果, 在没有任何处理的情况下, 初始的六层母排电场强度不能满足要求。为提高母排的绝缘能力, 选择介电强度约为 70.9 kV/mm 的聚酰亚胺作为绝缘材料。考虑到介质老化的影响, 采取 60% 的裕量, 所以 PCB 内部的电场强度不应超过 42 kV/mm。为了满足空气中无局放的目标, 采用额外的 O 母排以将较高的场强限制在 PCB 内部, 最终形成了七层 PCB 结构。

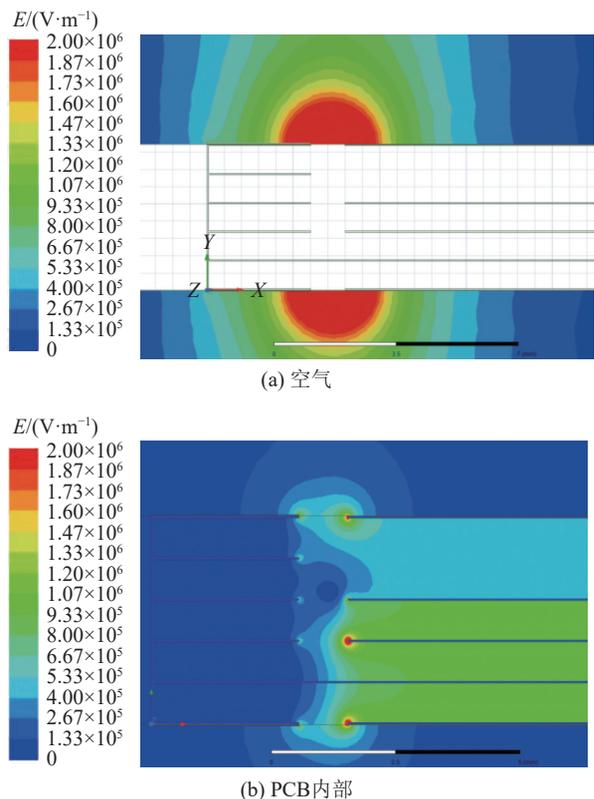


图 13 优化前母排电场分布

Fig.13 Distribution of E-field strength in PCB busbar before optimization

3.2 基于有限元仿真软件的电场优化

虽然 PCB 母排内部大部分地方可以认为是类似于平行板电容器的均匀电场, 但通孔与铜层接触处、PCB 边缘处等属于极不均匀场, PCB 母排较小的层间距离也对这些地方电场的优化提出了更高需求, 可以通过调节铜层之间的相互距离改善电场分布。提出的基于有限元仿真软件的 PCB 母排电

场优化策略流程如图 14 所示。

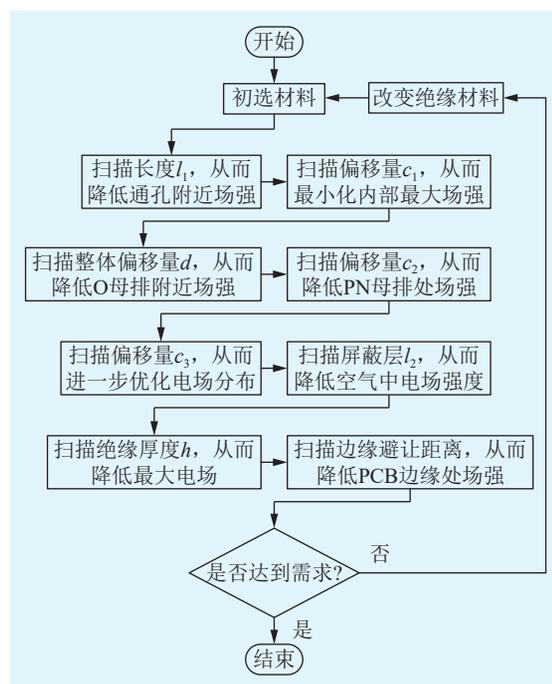
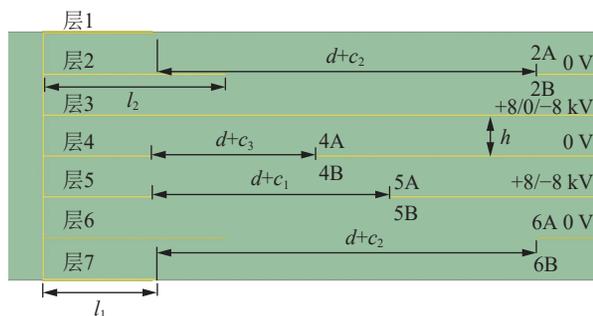


图 14 母排寄生参数优化流程

Fig.14 Optimization process of busbar parasitic parameters

用于仿真直流母排及可变电位母排的有限元仿真模型如图 15(a)所示。图中黄色为 PCB 铜层, 绿色为绝缘材料, 按照前文分析设定为聚酰亚胺。所有部件均已在 Maxwell 中重新建模, 可以灵活控制各量的值^[26], 研究与通孔相邻的铜层附近电场强度随相对距离的变化。

以 AC 母排通孔仿真为例, 此时通孔电压根据不同开关状态在 +8 kV、0 V 及 -8 kV 之间变化, 第二层、第四层及第六层均为屏蔽用的 O 母排, 电位始终保持在 0 V, 第五层则根据通孔位置不同对应不同直流母排, 电位在 +8 kV 或 -8 kV。可以看到, 一个通孔的电平在不同开关状态下是不同的, 因此需要仿真多种情况, 综合考虑选取相对偏移值。当 AC 通孔工作在 +8 kV, 第五层母排对应 N 母排时, 以 0.1 mm 的步长对第五层母排与通孔的距离 c_1 进行扫描, 各点电场强度变化如图 15(b)所示。



(a) 仿真模型

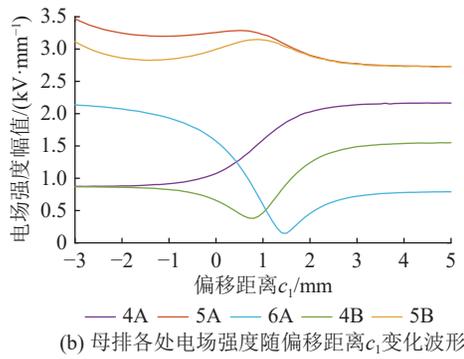


图 15 通孔附近仿真模型及电场强度变化曲线

Fig.15 Simulation model and electric field intensity change curve near through holes

图 16 为优化后通孔电位在 +8 kV 和第五层母排电位 -8 kV 的仿真结果, 表明优化避让距离后 PCB 母线具有更好的绝缘性能。电场强度的最大值约为 25 kV/mm, 远低于预定的 42 kV/mm。

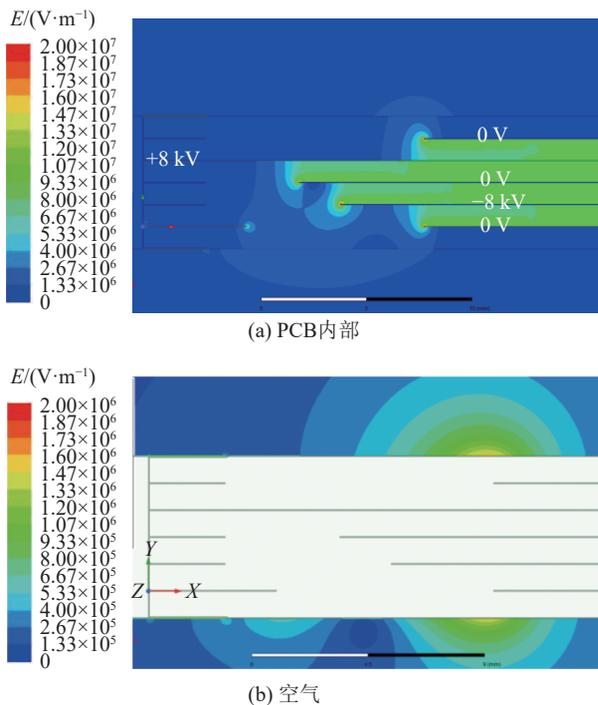


图 16 优化后 PCB 内外部场强

Fig.16 Internal and external E-field strengths of PCB after optimization

为验证设计和仿真的准确性, 进行局放测试和绝缘电阻测试。基于 MPD800 进行局放测试, 如图 17 所示。其中, A 为放大器; M 为测量装置。

在每半桥桥臂下外加 8 kV 的直流电压激励, 未观察到明显的局部放电现象, 实验证明母排基本满足无局放要求。为进一步研究绝缘性能, 使用 CA 6555 绝缘测试仪进行额外测试。当 P 母排和 O 母排之间的电压差为 8 kV 时, 绝缘电阻测量值为 357.9 GΩ, 表明母排拥有较好的绝缘性能。

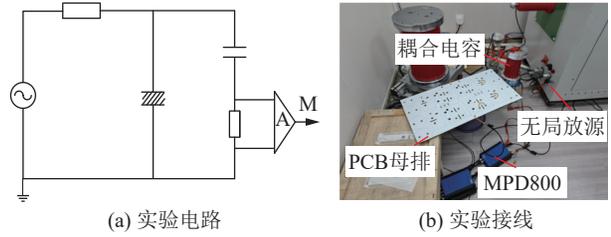


图 17 局部放电测试回路及实验接线

Fig.17 Partial discharge test circuit and experimental wirings

4 结论

文中针对中压功率变流器应用提出一套基于 PCB 叠层母排的综合设计与优化方案。通过寄生参数优化策略, 实现关键换流回路寄生电感的对称分布、并联器件参数的均衡分配以及整体电感的最小化。Q3D 仿真与 LCR 表实测结果表明, 换流回路寄生电感低至 58.93、59.39 nH, 验证了低感抗与对称性设计目标。针对 15 kV 高压 SiC 模块应用场景, 设计了厚度仅 6 mm 的无局放 PCB 母排, 并提出基于有限元仿真的绝缘优化流程。通过局放测试与绝缘电阻测试验证了设计的可行性, 上述方法兼顾了寄生参数控制与绝缘性能优化, 为中压大功率电力电子系统提供了高密度、高对称性且安全可靠的母排解决方案。

参考文献:

- [1] 赵东生, 黄缙华, 王云龙, 等. 电容器母排投切电流测量用宽频罗氏线圈传感器优化设计[J]. 电力电容器与无功补偿, 2023, 44(4): 5-11.
ZHAO Dongsheng, HUANG Jinhua, WANG Yunlong, et al. Optimization design of broadband Rogowski coil sensor for capacitor bus switching current measurement[J]. Power Capacitor & Reactive Power Compensation, 2023, 44(4): 5-11.
- [2] CHEN C, PEI X J, CHEN Y, et al. Investigation, evaluation, and optimization of stray inductance in laminated busbar[J]. *IEEE Transactions on Power Electronics*, 2014, 29(7): 3679-3693.
- [3] GUI H D, CHEN R R, NIU J H, et al. Design of low inductance busbar for 500 kVA three-level ANPC converter[C]//2019 IEEE Energy Conversion Congress and Exposition (ECCE). Baltimore, MD, USA. IEEE, 2019: 7130-7137.
- [4] GUI H D, CHEN R R, ZHANG Z Y, et al. Methodology of low inductance busbar design for three-level converters[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2021, 9(3): 3468-3478.
- [5] WANG J, YANG B J, ZHAO J, et al. Development of a compact 750 KVA three-phase NPC three-level universal inverter module with specifically designed busbar[C]//2010

- Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC). Palm Springs, CA, USA. IEEE, 2010: 1266-1271.
- [6] YUAN Z, PENG H W, DESHPANDE A, et al. Design and evaluation of laminated busbar for three-level T-type NPC power electronics building block with enhanced dynamic current sharing[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2020, 8(1): 395-406.
- [7] WANG Z J, WU Y H, MAHMUD M H, et al. Busbar design and optimization for voltage overshoot mitigation of a silicon carbide high-power three-phase T-type inverter[J]. *IEEE Transactions on Power Electronics*, 2021, 36(1): 204-214.
- [8] MA Z X, DIAO F, GUO F, et al. Design and demonstration of a medium-voltage high-power all silicon carbide ANPC converter with optimized busbar architecture[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2024, 12(3): 3161-3172.
- [9] WANG D, ZHOU L K, HEMMING S, et al. Design and characterization of bus bars for 1-MVA three-level ANPC inverters in aerospace applications[J]. *IEEE Transactions on Power Electronics*, 2025, 40(1): 1135-1152.
- [10] SELLAH M, WECXSTEEN J F, AIT-AMAR S, et al. Partial discharge investigations in laminated busbars[C]//2018 IEEE 2nd International Conference on Dielectrics (ICD). Budapest, Hungary. IEEE, 2018: 1-4.
- [11] XU Y, FENG X Y, WANG J, et al. Medium-voltage SiC-based converter laminated bus insulation design and assessment[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2019, 7(3): 1715-1726.
- [12] XU Y, BURGOS R, BOROYEVICH D. Insulation design and evaluation via partial discharge (PD) test for power electronics application[C]//2017 IEEE Electric Ship Technologies Symposium (ESTS). Arlington, VA, USA. IEEE, 2017: 394-400.
- [13] WANG J, MOCEVIC S, HU J W, et al. Design and testing of 6 kV H-bridge power electronics building block based on 10 kV SiC MOSFET module[C]//2018 International Power Electronics Conference (IPEC-Niigata 2018-ECCE Asia). Niigata, Japan. IEEE, 2018: 3985-3992.
- [14] STEWART J, XU Y, BURGOS R, et al. Design of a multi-layer PCB bus for medium voltage DC converters[C]//2019 IEEE Electric Ship Technologies Symposium (ESTS). Washington, DC, USA. IEEE, 2019: 329-336.
- [15] STEWART J, BURGOS R. Design of a medium voltage PCB-based power bus considering current carrying capacity for insulation integrity in a 6 kV 500 kW converter[C]//2023 IEEE Applied Power Electronics Conference and Exposition (APEC). Orlando, FL, USA. IEEE, 2023: 2526-2532.
- [16] MOCEVIC S, YU J H, XU Y, et al. Power cell design and assessment methodology based on a high-current 10-kV SiC MOSFET half-bridge module[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2021, 9(4): 3916-3935.
- [17] STEWART J, MOTWANI J, YU J H, et al. Improved power density of a 6 kV, 1 MW power electronics building block through insulation coordination[C]//2022 IEEE 23rd Workshop on Control and Modeling for Power Electronics (COMPEL). Tel Aviv, Israel. IEEE, 2022: 1-7.
- [18] Rogers Corporation. 叠层母线排绝缘材料——柔性及刚性绝缘薄膜及其参数浅谈[EB/OL]. [2024-10-01]. 上海: Rogers Corporation, 2019. <https://www.rogerscorp.cn/blog/2019/insulation-materials-for-laminated-busbars>.
Rogers Corporation. Laminated busbar insulating materials: a brief discussion on flexible and rigid insulating films and their parameters[EB/OL]. [2024-10-01]. Shanghai: Rogers Corporation, 2019. <https://www.rogerscorp.cn/blog/2019/insulation-materials-for-laminated-busbars>.
- [19] 王莉娜, 常峻铭, 袁泽卓, 等. SiC 3L-ANPC 电路开关瞬态过程机理与解析建模方法研究[J]. *中国电机工程学报*, 2024, 44(24): 9820-9834.
WANG Lina, CHANG Junming, YUAN Zezhuo, et al. Research on switching transient mechanism and analytical modeling method of SiC 3L-ANPC circuit[J]. *Proceedings of the CSEE*, 2024, 44(24): 9820-9834.
- [20] 阮杰, 刘畅, 李广卓, 等. 适用于器件并联型 ANPC 拓扑的低感叠层母排设计方法[J]. *高电压技术*, 2019, 45(7): 2093-2100.
RUAN Jie, LIU Chang, LI Guangzhuo, et al. Design method of low-inductance laminated busbar for device-parallel ANPC circuit[J]. *High Voltage Engineering*, 2019, 45(7): 2093-2100.
- [21] 李广卓, 阮杰, 刘畅, 等. 多层叠层母排杂散电感频率特性分析[J]. *高电压技术*, 2019, 45(7): 2101-2107.
LI Guangzhuo, RUAN Jie, LIU Chang, et al. Analysis for frequency characteristic of stray inductance in multilayer laminated busbar[J]. *High Voltage Engineering*, 2019, 45(7): 2101-2107.
- [22] CALLEGARO A D, GUO J, EULL M, et al. Bus bar design for high-power inverters[J]. *IEEE Transactions on Power Electronics*, 2018, 33(3): 2354-2367.
- [23] Generic standard for printed wiring boards: IPC-2221[S]. 1998.
- [24] 牛剑锋. 基于高压 SiC MOSFET 模块的 ANPC 变流器叠层母排分析与设计研究[D]. 杭州: 浙江大学, 2023.
NIU Jianfeng. Analysis and design research of ANPC converter laminated busbar based on high voltage SiC MOSFET module[D]. Hangzhou: Zhejiang University, 2023.

- [25] CHEN Z B, HUANG A Q. High power converter busbar in the New Era of wide-band-gap power semiconductor[C]//2023 IEEE Energy Conversion Congress and Exposition (ECCE). Nashville, TN, USA. IEEE, 2023: 6010-6017.
- [26] 刘慧娟, 张振洋, 宋腾飞. ANSYS Maxwell+Workbench 2021 电机多物理场耦合有限元分析从入门到工程实战[M]. 北京: 化学工业出版社, 2022.
- LIU Huijuan, ZHANG Zhenyang, SONG Tengfei. ANSYS Maxwell+Workbench 2021 electromechanical multi-physics coupling finite element analysis: from introduction to engineer-

ing practice [M]. Beijing: Chemical Industry Press, 2022.

作者简介:



赵一平

赵一平(1999), 男, 硕士在读, 研究方向为高压电力电子变换器母排设计(E-mail: zhao-yiping@stu.xjtu.edu.cn);

董晓博(2000), 男, 博士在读, 研究方向为高压大功率电力电子变换器;

靳浩源(1997), 男, 博士在读, 研究方向为高压大功率电力电子变换器。

Optimization design of insulation and parasitic parameters for medium-voltage hybrid ANPC busbars

ZHAO Yiping, DONG Xiaobo, JIN Haoyuan, WANG Gan, WANG Laili, ZHANG Hong

(Xi'an Jiaotong University (State Key Laboratory of Electrical Insulation and Power Equipment), Xi'an 710049, China)

Abstract: The busbar, serving as a critical power transmission component in power electronic converters, fulfills essential functions including interconnection of power devices, capacitors, terminals, and insulation. To mitigate parasitic parameters and device stresses, converter circuits must be integrated through busbars. This paper focuses on the ANPC topology composed of a 15 kV SiC metal oxide semiconductor field effect transistor (SiC MOSFET) and a series-connected 6.5 kV Si insulated gate bipolar transistor (Si IGBT), investigating optimized busbar design through dimensional arrangement, layer stacking sequence, and terminal positioning. A three-dimensional electromagnetic model of medium-voltage multi-device integrated busbars is established using finite element simulation software. Parametric analysis is conducted to optimize device spacing and layer structures, proposing a busbar layout strategy tailored for hybrid ANPC topologies. Simulation results demonstrate that the optimized design effectively reduces system parasitic while validating reasonable electric field distribution under high-frequency switching conditions. Experimental tests on a prototype platform confirm that the optimized busbar exhibits superior insulation performance at critical nodes and enhanced overall reliability compared to conventional designs.

Keywords: medium-voltage converter; laminated busbar; finite element simulation; parasitic parameters; insulation; SiC metal oxide semiconductor field effect transistor (SiC MOSFET)

(编辑 方晶)